REF I. SERIAL NO. 3/6,247P

REF AP4

(54) LEAD FRAME OF SEMICONDUCTOR DEVICE AND MANUFACTURE OF SEMICONDUCTOR DEVICE USING SAME

(11) 2-156558 (A)

(43) 15.6.1990 (19) JP

(21) Appl. No. 63-311667 (22) 8.12.1988

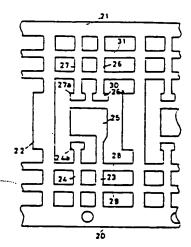
(71) SHARP CORP (72) JUNZO ISHIZAKI(1)

(51) Int. Cl⁵. H01L23/48.H01L23/50

PURPOSE: To enable the common use of manufacturing equipments until tie bars are cut by providing a plurality of tie bars which serve as leads connecting lead segments with a longitudinal frame so as to intersect perpendicularly to

each of the lead segments.

CONSTITUTION: A semiconductor element is mounted on a mounting segment 25; internal wirings are arranged in lead segments 23, 24, 26, 27; then these are resin-molded by transfer molding method and the like. Tie bars 28-31 which are arranged on both sides of each of the lead segments 23, 24, 26, 27 and serve as leads are cut along each of the lead segments 23, 24, 26, 27, and rectilinear lead terminals are formed, thereby completing a DIP semiconductor device. The tie bars are similarly cut so as to leave L-shaped parts, and bent lead terminals are formed, thereby completing an SIP type semiconductor device. Thus, by using same lead frame, two kinds of semiconductor devices, i.e. a dual-in-line package(DIP) type and a single-in-line package(SIP) type, can be supplied, and the manufacturing equipments can be commonly used until the tie bars are cut.



P 7735-5F K 7735-5F

審査請求 未請求 請求項の数 3 (全8頁)

図発明の名称 半導体装置のリードフレームおよびこれを用いた半導体装置の製造

方法

②特 願 昭63-311667

②出 頭 昭63(1988)12月8日

)発 明 者 石 崎 顧 三 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社

内

⑫発 明 者 檀 田 元 大阪府大阪市阿倍野区長池町22番22号 シャーフ株式会社

图

⑦出 顋 人 シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

砂代 理 人 弁理士 中村 恒久

明知意

1. 発明の名称

1494494444444444444

半導体装置のリードフレームおよびこれを用い た半導体装置の製造方法

2. 特許請求の範囲

- 2. 請求項1記載のリードフレームを用い、モ

のリード片のみを利用して直線的なリード語 子を形成することを特徴とするデユアル・インライン・パッケージ型半界体装置の製造方 法。

- 3. 請求項1記載のリードフレームを用い、そのリード片の一郎とリード連用タイパーの一郎とを利用して、折曲リード電子を形成することを特徴とするシングル・インライン・パッケージ型半導体装置の製造方法。
- 3. 発明の詳細な説明

く 産 東 上 の 利 用 分 野)
本発明は、樹脂対止型半線体装置のリードフレーム、およびそのリードフレームを用いた、デュアル・インライン・パッケージ(以下、DIPという)型とシングル・インライン・パッケージ(以下、SIPという)型との二種類の半導体装置の製造方法に関するものである。

〈 從来技術 〉

一般に、半導体装置は、DIP型半導体装置と SIP型半導体装置に大別される。SIP型半導 1.2.3.4 を慰答により.,止して成る外装 5 と から構成されている。

一方、DIP型半導体装置は、第11回(a)(b)の句く、リード電子1.2.3.4が直集的に形成されたものであり、その他の構成は51P型半導体装置と同様である。

そして、D1P型半導体装置に利用される両持ちのリードフレームは、第8図の如く、一対の機枠6.7と、数機枠6.7に連結する資枠8と、機枠6から競枠8に平行して突出するリード端子1.2.3.4と直交するタイパー9.10とを備えている。

一方、SIP型半導体装置は、第9回の如く、 機枠6と、鉄機枠6に連結する駅枠8aと、前記 機枠6から縦枠8aに平行して突出する前記リー ド端子1.2と、鉄リード端子1.2と、前記駅枠 8aと遊交してリード端子1.2と線枠8aとを連

リードフレームにてDIP型およびSIP型半導体装置を供給でき、またダイパー切断時までの製造数量の共用化が可能な半導体装置のリードフレームおよびこれを用いた半導体装置の製造方法の提供を目的とする。

(問題点を解決するための手段)

本発明請求項目による問題点解決手段は、第1.2回の如く、一対の機や20.21と、抜機や20.21を連結する概や22と、前記一方の機や20から緩や22に平行して突出する複数のリード片23.24の少なくとも一個の被置片吊り用のリード片23に設けられた半導体第子被置片25と、前記他を方の機や21から緩や22に平行して突出する複数のリード片26.27とを備えた半導体装置のリードフレームにおいて、前記各リード片23.24.26.27を緩やに連結するリード兼用タイパー28.29.30.31が複数本設けられ、前記リード片のみを利用するリードは子と、前記リード片の一

びタイパー10とを有するればち状の第二リード フレームYを、第一リードフレームXに対向させ てこれらを樹筋対止して製造される。

manamer, arrow, y tato, 4, 42

〈 発明が解決しようとする問題点 〉

近来のSIP型およびDIP型半導体装置のリードフレームにおいて、タイパー9.10の切断部Aは、第8.9図の如く、各リード端子1.2.3.4につき一箇所であるが、その構造がDIP型半導体装置のリードフレームの場合、重8図の如く、両待ちフレームであり、SIP型半導体装置のリードフレームの場合、第9図の如く、片符ちフレームであるため、モールド時には別々のモールド全型が必要であり、またその他の製造設備においても共用できないものが多く、DIP型、SIP型半導体装置に応じた別種の設備が必要であった。

そこで、本発明は、上紀問題点に思み、同一の

配とリード兼用タイパーの一郎とを利用するリード電子とも選択的に形成可能とされたものである。 また、請求項2では、このリードフレームを用い、そのリード片のみを利用して直線的なリード 選子を形成することにより、DIP型半界体装置 を製造する。

さらに、幼求項3では、上記のリードフレーム を用い、そのリード片の一部とリード兼用タイパ ーの一部とを利用して、折曲リード端子を形成す ることにより、SIP型半導体装置を製造する。

〈作用〉

上紀間恩点解決手段において、観電片25に半 専体素子を搭載し、リード片23,24,26,2 7に内部結構を施す。その後、これらをトランス フアーモールド法等により樹脂モールドする。

次に、各リード片23.24.26.27の両例に配されたリード兼用タイパー28.29.30.31を各リード片23.24.26.27に沿って切断して直幕的なリード端子を形成し、D1P型 学界体装置が完成する。

の一郎とによりがE .るし字形を残して切断して折曲リード電子を形成し、SIP型半導体装置が完成する。

〈实施例〉

以下、本発明の一変態例について図面により説明する。第1回は本発明半導体装置のリードフレームの一変態例を示す平面図、第2回は同じくそのリードフレームにおいてモールド工程完了時を示す図、第3回は同じくそのリードフレームにおいてDIP型半線体装置を得るための切断状態を

する第一、第二リード兼用タイパー28.29と、 前記線枠22とリード片26.27と直交して線 枠22とリード片26.27とを連結する第三、 第四リード兼用タイパー30.31とが扱けられ ている。

前記リード片23の機枠21側の先端には、前 記載置片25が一体成影されている。該截置片2 5は、第2回の如く、半導体素子(例えば、発光 素子または受光素子等のチップ)32が搭載され るよう長方形に形成されている。

前記リード片24の競枠21側の先端およびリード片26.27の機枠20側の先端には、ポンデイングワイヤ33により前記半導体素子32と内部結構される短冊形の接続片24a,26a.27aが失々一体成形されている。

前記录ーリード兼用タイパー28は、第1図の如く、前記第二リード兼用タイパー29よりも截置片25側に配され、前記第三リード兼用タイパー30は、前記第四リード兼用タイパー31よりも載置片25側に配されている。

示す区、第5図(a)(b) じくそのリードフレームを利用したDIP型半導体装置を示す図、第6図(a)(b)は同じくそのリードフレームを利用したSIP型半導体装置を示す図、第7図(a)(b)(c)は同じくSIP型半導体装置の実装状態を示す図である。

本実施例の樹脂対比型半導体装置のリードフレームは、第1回の如く、一対の積や20.21と、 鉄値や20.21を連結する線や22と、前記一 方の積や20から線や22に平行して突出する一 対のリード片23.24と、鉄リード片23.24 の一方に設けられた半導体素子報置片25と、前 記他方の積や21から線や22に平行して突出する一 対のリード片26.27とを一構造単位とし、 鉄一構造単位を前記積や20.21の長手方向に 複数個連結して成る。

そして、前紀級枠22とリード片23.24と 直交して総枠22とリード片23.24とを連結

上記の如く構成されたリードフレームを利用したDIP型半導体装置は、第5図(a)(b)の如く、半導体素子が搭載または半導体素子に内部結構され、リード片23.24.6.27のみを利用して直線的に形成されたリード塩子34.35.36.37と、これらを樹脂により対止されて成る外袋38とから構成されている。

一方、S 1 P型半導体装置は、第6図(a)(b)の 如く、リード片23.24.26.27の一部およびタイパー28.29.30.31の一部を利用してリード塩子34.35.36.37が折血形成されたものであり、その他の構成はD 1 P型半導体 装置と同様である。

次に、DIP型およびSIP型半導体変異の製造方法について説明する。

まず、D1P型半専体装置の製造方法について 説明する。第2回の如く、截置片25に半導体素 子32を接着用ペーストにより搭載し、また半導 体素子32と各リード片23.24.26.27と の間にポンディングワイヤ33により内部結算を を形成する。そして、ブニュー等を用いて不用な樹脂パリを除去し、外袋めつき(例えば、壁めつき等)をリードフレーム全体に施す。

次に、東3図の如く、切断部Bにおいて、各リード片23.24.26.27の両側に配されたリード意用タイパー28.29.30.31を各リード片23.24.26.27に沿って切断して(図中、料線部)リード端子34.35.36.37を形成し、第5図(a)(b)の如きD1P型半導体装置が完成する。

次に、SIP型半導体装置の製造方法について 設明する。リードフレームの切断前までの工程は DIP型半導体装置の製造方法と関係である。そ して、リード片23.24.26.27の一部とリード無用タイパー28.29.30.31の一部と を利用して、第4回に示すように切断すればSI P型半導体装置が得られる。その切断方法は、以 下に示す通りである。

37を得る。

すなわち、各リード片23.24.26.27の
- 一郎と、各リード兼用タイパー28.29.30.31の一郎とにより形成されるし字形を残して切断して(図中、料線郎)リード稿子34.35.36.37を形成し、第6図(a)(b)の如きSIP型半率体装置が完成する。

このように、級枠22とリード片23.24と 直交して緩枠22とリード片23.24とを連結 するホー、第二リード兼用タイパー28.29と、 緩枠22とリード片26.29と直交して緩枠2 2とリード片26.27とを連結する第三、第四 リード意用タイパー30.31とを設けることに より、リード片23.24.26.27とリード兼 用タイパー28.29.30.31の切断臨所を変 えるだけでD1P型およびS1P型半界体装置を 自由に保給することができる。

したがつて、同一のリードフレームにてDIP 型およびSIP型半導体装置を供給でき、またタ イパー切断時までの製造投資の共用化が可能とな - 28.29間を切断して折! ドロチ345 する。切断郎C2にむいて、タイパー30はリード片26.27間を切断し、リード片26はタイパー30.31間を切断することにより折曲リード様子36を得る。

(2)切断部D1において、リード片24の両側のタイパー28を切断する。切断部E1において、タイパー29はその級枠22側を切断し、リード片24はその機枠20側を切断する。また、切断部F1において、タイパー29の両側のリード片23を切断することにより折曲リード端子35を得る。

(3)切断部D2において、リード片27の両側のタイパー30を切断する。切断部E2において、タイパー31はその級枠22側を切断し、リード片27は機枠21側を切断する。また、切断部F2において、タイパー31の両側のリード片26を失々切断することにより折曲されたリード端子

٥.

また、本発明リードフレームを利用してSIP 型半専体装置を実装すると、その高さを低くする ことができる。すなわち、第7図(a)(b)(c)に示 す如く、SIP型半導体装置を実装するとき、基 板39に形成されたランド孔40にリード端子3 4、35、36、37を挿入し、外装38の経面3 8aで文持した状態で半田41にて固定し、基板 39上に形成された回路パターンと専選を図る。

上記SIP型半導体装置は、外袋38の底面3 8aにて支持され、実装の高さhが外袋38の幅で 決定されるため、従来の半導体装置のリードフレ ームを利用したSIP型半導体装置(第10図(a) (b)に示す)に比べて高さを低く抑えることができ る。

なお、本発明は、上記実施例に限定されるものではなく、本発明の範囲内で上記実施例に多くの 作正および変更を加え得ることは勿論である。

例えば、本実施例では、四端子型半導体装置の リードフレームについて記載したが、端子の数に 袋蓋)に利用できる

く発明の効果が

また、請求項2では、請求項1記載のリードフレームを用い、前記リード片のみを利用して直線的なリード電子を形成するので、D1P型半導体管置を供給できる。

S I P型半導体装置の実装状態を示す図、第 8 図は世来のS I P型半導体装置のリードフレームの平面図、第 9 図はD I P型半導体装置のリードフレームの平面図、第 1 0 図(a)(b)は従来のS I P型半導体装置を示す図、第 1 1 図(a)(b)は従来のD I P型半導体装置のリードフレームが利用されたD I P型半導体装置のリードフレームが利用されたD I P型半導体装置を示す図である。

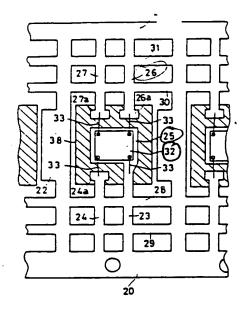
20.21:機枠、22:収枠、23.24.26. 27:リード片、25:収置片、28.29.30. 31:リード兼用タイパー。

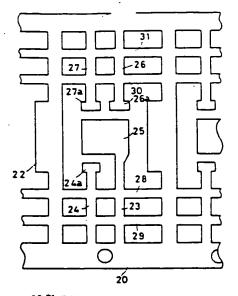
出版人 シャープ株式会社 代理人 中村恒久

用タイパーの一部とを して行曲リード電子を 形成するので、SIP型半導体装置を供給できる。 すなわち、リード片およびリード推用タイパー の切断箇所を選択的に変更するだけでDIP包お よびSIP型半導体装置を自由に供給することが できる。

4. 図面の簡単な説明

第1図は本発明半導体装置のリードフレームの一実施例を示す平面図、第2図は同じくそのリードフレームにおいてモールド工程完了時を示す図、第3図は同じくそのリードフレームにおいてD1P型半導体装置を得るための切断状態を示す図、第4図は同じくそのリードフレームにおいてS1P型半導体装置を示す図、第6図(a)(b)は同じくそのリードフレームを利用したS1P型半導体装置を示す図、第7図(a)(b)(c)は同じく





20,21:彼特 22:総特 23,24,26,27:リード片 25:敬意片 28,29,30,31:リード県用タイパー

